

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—119379

⑪ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和59年(1984)7月10日

G 09 F 9/30

6615—5C

G 02 F 1/133

7348—2H

H 01 L 27/10

6655—5F

27/12

8122—5F

発明の数 1

審査請求 有

(全 6 頁)

⑭ 薄型表示装置

京芝浦電気株式会社総合研究所  
内

⑮ 特 願 昭57—226716

⑯ 発 明 者 青木寿男

⑰ 出 願 昭57(1982)12月27日

川崎市幸区小向東芝町1番地東

⑱ 発 明 者 鈴木幸治

京芝浦電気株式会社総合研究所

川崎市幸区小向東芝町1番地東

内

京芝浦電気株式会社総合研究所

⑲ 出 願 人 東京芝浦電気株式会社

内

川崎市幸区堀川町72番地

⑳ 発 明 者 池田光志

㉑ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

薄型表示装置

2. 特許請求の範囲

(1) 絶縁性基板上に接地導体膜を介して絶縁膜を形成し、この絶縁膜上に、互いに平行に配列された複数本のアドレスラインと、これらのアドレスラインと直交して互いに平行に配列された複数本のデータラインと、これらデータラインとアドレスラインの各交点位置に配置されソース、ゲートがそれぞれデータライン、アドレスラインに接続された複数のスイッチングトランジスタと、これら各スイッチングトランジスタのドレインに一端が接続され他端が前記接地導体膜に接続された蓄積容量とを累積形成してなるトランジスタマトリクスアレイを用いて表示素子を駆動する薄型表示装置において、前記接地導体膜を、前記アドレスラインと平行してかつアドレスラインと重ならないように複数本の帯状パターンに配置したことを特徴とする

薄型表示装置。

(2) 前記表示素子が液晶であり、前記スイッチングトランジスタが薄膜トランジスタである特許請求の範囲第1項記載の薄型表示装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、トランジスタをマトリクスアレイに構成して駆動回路として用いた薄型表示装置の改良に関する。

〔発明の技術的背景〕

近年スイッチングトランジスタをマトリクスアレイに構成して駆動回路とした薄型表示装置が注目されている。この方法は、基板上に設けられたスイッチングトランジスタマトリクスの各ドットに画像情報を蓄積しておき、これら画像情報をマトリクスアレイ上に設けられた液晶層、EL層又はEC層の各ドットに対応した位置に表示を行ない、所望の画像を得ようとするものであり、従来の表示装置の主流であったCRTを用いた方法に比べ、原理的にはるかに薄

型の表示装置が実現できる。又、CRTの表示原理がけい光物質に高エネルギーの電子ビームを衝突させ発光させるため、全画面が常に表示されているわけではなく、人間の目の残像現象を利用したものとなっており、フリッカー雑音等があり見易さに問題があった。これに対し、トランジスタマトリクスを用いた表示装置はほぼ全時間表示となりCRTよりも自然な画面を得ることができる。更に、CRTに比べ、平坦な画面が得られること、高圧電源を必要としないこと、真空領域が必要でなく、全固体装置であるため小型軽量で十分な強度が得られること、などの特徴を有する。

第1図はトランジスタマトリクスアレイの基本構成を示す概略図である。表示画面はたて $m$ 本、横 $n$ 本のマトリクス状に分割され全部で $m \cdot n$ 個の単位画素に分割されている。各マトリクスの交点 $C_{11}, C_{12}, \dots, C_{ij}, \dots, C_{mn}$ はスイッチングトランジスタによるメモリ機能を持つ画素回路が構成されており、ここに各画素の画像情報が

電源が接続されている。アドレスライン $X_i$ にトランジスタ21をON状態にする信号が入ったとき、トランジスタ21のチャンネルが導通し、このときデータライン $Y_j$ に用意された画像信号が容量23に蓄積され、ゲート電圧 $V(X_i)$ が零の間その信号は $C_{ij}$ に記憶される。この蓄積された画像信号に対応して、液晶22が駆動される。なお、アドレスライン $X_i$ 上の他のトランジスタも全て同時にON状態となり、それぞれ、そのときの各データライン上に用意された画像信号 $V(Y_1), V(Y_2), \dots, V(Y_n)$ が各画素回路 $C_{i1}, C_{i2}, \dots, C_{in}$ に蓄積される。同様にして $X_{i+1}, X_{i+2}, \dots$ というふうに各アドレスラインの順次駆動により画像信号が次々に蓄積されていき、全画面の信号が書き込まれることになる。

第3図は2個のスイッチングトランジスタ31a, 31bを用いるもので、画像信号は第2図と同様な原理により、トランジスタ31aのスイッチングにより容量33に蓄積される。画素 $C_{ij}$ の動作タイミングは第2図の場合と同

様であられ、この情報に従ってマトリクスアレイ上に設けられた液晶、EL又は $E_L$ 層の各画素に対応した領域で表示が実現されるようになっている。

具体的な画素回路は第2図又は第3図に示されるような単純な構成のものが使用されている。これは高精細な表示画面を得るためには、マトリクスの大きさ $m \cdot n$ が非常に大きくなり、高歩留りでマトリクスアレイを作成するためにはより単純な回路が望まれるためである。第2図は、液晶駆動に用いられる画素回路で実質的に直流駆動で表示を行なう場合、第3図はEL表示のときで、交流駆動表示を行なう場合によく用いられる回路である。第2図において21はスイッチングトランジスタ、22は液晶層、23は画像信号を蓄積する容量である。トランジスタ21のゲートは第1番目のアドレスライン $X_1$ に接続され、ソース電極は第1番目のデータライン $Y_1$ に接続されている。アドレスライン $X_i$ 及びデータライン $Y_j$ はそれぞれ $V(X_i), V(Y_j)$ の

様にアドレスライン $X_i$ 及びデータライン $Y_j$ の電源 $V(X_i), V(Y_j)$ により制御される。第3図の場合、画像信号は2つ目のトランジスタ31bのスイッチングを制御し、例えばEL層などの表示層32の駆動を行なう。第3図では第2図と異なり、表示層32の一端に与える電圧 $V_c$ として交流電圧を用いることができるため、EL層駆動が可能となる。

以上が第1図に示すトランジスタマトリクスアレイを用いた薄型表示装置の動作原理である。

第4図は従来のトランジスタマトリクスアレイを用いた液晶表示装置の断面構造を示す図である。絶縁性基板41上に、接地導体膜42を全面に設け、更に絶縁膜43を形成してこの上にトランジスタのゲート電極を兼ねるアドレスライン44( $44_1, 44_2, \dots$ )が設けられる。更にこの上にゲート絶縁膜となる絶縁膜45を介して各画素領域に半導体薄膜46( $46_1, 46_2, \dots$ )を形成し、それぞれにYアドレスライン(図示せず)に接続されるソース電極

47(47<sub>1</sub>, 47<sub>2</sub>, ...)、ドレイン電極と蓄積電極電極を兼ねた表示電極48(48<sub>1</sub>, 48<sub>2</sub>, ...)が設けられる。またこの基板表面は表示画素領域に孔がつけられた絶縁膜49でおおわれている。蓄積電極は、前述のように表示電極38を一方の端子電極とし、接地導体膜42を他方の端子電極として、この間に挟まれた絶縁膜43, 45を用いて構成されている。このように構成されたトランジスタマトリクスアレイと透明電極51を形成したガラス基板50<sup>保持</sup>との間に液晶52を挟持することにより、液晶表示装置が構成されている。

このようなトランジスタマトリクスアレイにおいては、接地導体膜42が基板上に一様に設けられるため工程は比較的単純である。しかし、図示のように絶縁層のピンホール53a, 53b等を通じて、アドレスライン44<sub>1</sub>あるいは表示電極48<sub>1</sub>が接地導体膜42と短絡することがしばしば生ずる。ピンホール53bによる影響は、一つの画素欠陥を生ずるだけであるため、

これらが十分に所望のパターンに形成されず、電極材料が一部のところが生ずる。

このことは、マトリクスのセルサイズの高精細化により、アドレスライン44と接地導体膜42の分離領域が狭くなった場合に、確実な分離が難しくなることを意味する。

そして、アドレスライン44と接地導体膜42の短絡箇所が1つでもあると、これは先のピンホール53aによる欠陥の場合と同様に線欠陥となって現われる。

以上のようなアドレスラインの接地電極との短絡は、大画面の表示装置、大規模なマトリクスアレイ、高精細なマトリクスアレイでは極めて高い確率で生じうる。一方、表示装置としては、このような致命的な線欠陥は一本でも生ずることが許されないため、従来のトランジスタマトリクスアレイ構造では、大画面の高精細な表示装置を実現することが困難であった。

#### 〔発明の目的〕

本発明は上記の点にかんがみ、表示画面の絶

縁層のピンホール密度に比例して、欠陥を改善できる。ところがピンホール53aによる欠陥は、そのアドレスライン44<sub>1</sub>によって駆動されるすべての画素回路が動作しなくなるため、線欠陥となってあらわれる。ピンホール密度を改善してもこのような致命的な線欠陥を全くなくすることは大規模なマトリクスアレイでは極めて困難である。

第5図は、このようなピンホールによる欠陥を除くことができるトランジスタマトリクスアレイを用いた例である。第4図と異なる点は、接地導体膜42(42<sub>1</sub>, 42<sub>2</sub>, ...)をアドレスライン44と平行な線状パターンとしてアドレスライン44と同一平面上に配設したことである。接地導体膜42は勿論、基板端部で全て接地電位にバイアスされて使用される。

ところが、この構造では、アドレスライン44と接地導体膜42を同一導電膜のパターニングにより形成することから、パターン形式のマスクの汚れ、露光エッチング時のゴミの影響等で、

欠陥を生じることのないトランジスタマトリクスアレイ構造を用いた薄型表示装置を提供することを目的とする。

#### 〔発明の概要〕

本発明の概要を第6図を参照して説明する。同図(a)は本発明によるトランジスタマトリクスアレイのアドレスライン及び接地導体膜部分の構造を示す平面図、同図(b)はそのA-A'断面図である。即ち本発明においては、絶縁性基板61上にまず接地導体膜62(62<sub>1</sub>, 62<sub>2</sub>, ...)を帯状パターンに複数本配設し、この上に絶縁膜63を介して接地導体膜62と平行してこれと重ならないようにアドレスライン64(64<sub>1</sub>, 64<sub>2</sub>, ...)を配設する。

なお、パターニング位置の多少のズレ等は現実には起こりうるので接地導体膜62とアドレスライン64とがマスク合せずれがあっても重ならないように、予め間隙67を設けておくことが望ましい。間隙67の大きさは、露光装置によるパターン合わせの許容量程度を考えておけ

ばよい。例えば、第1図でアドレスライン $X_1$ から $X_m$ までの長さが10cm程度以下の大きさであれば、前記間隙67は2 $\mu$ m程度、10cm以上ではその長さの約 $2 \times 10^{-5}$ 倍(例えば20cmでは4 $\mu$ m程度)位が適当である。しかし、この値はもちろんその露光装置に依存する。要は前記間隙67が少しでも存在することが本発明の効果著しく増大させる。又、絶縁膜63の接地導体膜62のパターニング端での完全な絶縁性を保つためには、絶縁膜63の厚みは接地導体膜62の厚み以上にすることが望ましい。

#### 〔発明の効果〕

本発明においては、アドレスラインと接地導体膜の接触はほぼ完全になくなり、線欠陥のない薄型表示パネルを高歩留りで実現することができる。本発明の構造でアドレスラインと接地導体膜間の接触が生ずるのは、第6図に示したように、絶縁膜63のピンホール65が、接地導体膜62の不完全パターニング領域66に重なる場合であって、このように両者の欠陥が同一

る $\text{SiO}_2$ 膜76を約2500 $\text{\AA}$ 堆積し、次に厚さ2000 $\text{\AA}$ の透明導電膜で表示電極77(77<sub>1</sub>, 77<sub>2</sub>, ...)を形成し、アモルファスシリコン膜78(78<sub>1</sub>, 78<sub>2</sub>, ...)を厚さ1500 $\text{\AA}$ 堆積してそれぞれ露光エッチング技術により所望の大きさにパターニングする。そして、厚さ5000 $\text{\AA}$ のAL膜によりソース電極兼データライン79(79<sub>1</sub>, 79<sub>2</sub>, ...)およびドレイン電極80(80<sub>1</sub>, 80<sub>2</sub>, ...)を形成する。そして厚さ6000 $\text{\AA}$ のスパッタ $\text{SiO}_2$ 膜81を堆積させ表示電極77上の $\text{SiO}_2$ 膜をエッチング除去してマトリクスアレイを完成させる。表示パネルとするため透明電極82を形成したガラス基板83をマトリクスアレイに外向させ、この間に液晶84を封入保護することにより全工程が終了する。

本実施例の効果調べるために、第4図および第5図を示す従来構造のトランジスタマトリクスアレイも試作した。それぞれの従来構造のアレイでは、各電極及び絶縁膜の材料、厚み、

箇所が生ずることは最近のIC製造工程においては極めて確率が低く、殆んど問題にならなれ〔発明の実施例〕

第7図(a), (b)は本発明による一実施例の液晶表示装置の投影平面図とそのB-B'断面図である。トランジスタマトリクスアレイの大きさにアドレスライン数220、データライン数240、アドレスラインのピッチは200 $\mu$ m、データラインのピッチは250 $\mu$ m、全体の表示部は44×60mmで全部で56400個の画素回路からなる。第7図(a), (b)はその一部を示すものである。製造工程に従って説明すると、ガラス基板71上に、まず透明導電膜で複数本の接地導体膜72(72<sub>1</sub>, 72<sub>2</sub>, ...)をパターニングする。次に、常圧CVD法により約1500 $\text{\AA}$ の厚みの $\text{SiO}_2$ 膜73を堆積させ、その上にアドレスライン74(74<sub>1</sub>, 74<sub>2</sub>, ...)を厚さ900 $\text{\AA}$ のMo膜で形成する。接地導体膜72とアドレスライン74は平行でその間隙75は5 $\mu$ mとしてある。しかる後、CVD法によりゲート酸化膜とな

パターンの大きさ及び形成条件は第7図の実施例と同一としている。その結果、第4図に示す構造では220本のアドレスラインのうち接地電極と短絡して線欠陥となったのは約5本であった。又、第5図のものでは約20本あった。これに対し本実施例の場合、このような短絡は全くなくその効果が実証された。

なお本発明は上記実施例に限定されるものではない。例えば、接地導体膜は透明導電膜に限らず、AL, Mo等パターニング可能ないかなる金属材料であってもよいし、アドレスラインもMoに限られない。又、絶縁膜は $\text{SiO}_2$ 膜に限らず、その製造もCVDの他、スパッタ、塗布法、陽極酸化法などを用い得る。又、薄膜トランジスタはアモルファスSiを用いたものに限らず、多結晶Si, CdSe, CdS, Te等十分なスイッチング特性が得られるものならばなんでもよい。表示材料も液晶に限らず、EL, EC等でも可能で、単位画素回路構成も例えば第3図に示すものでもよい。

## 4. 図面の簡単な説明

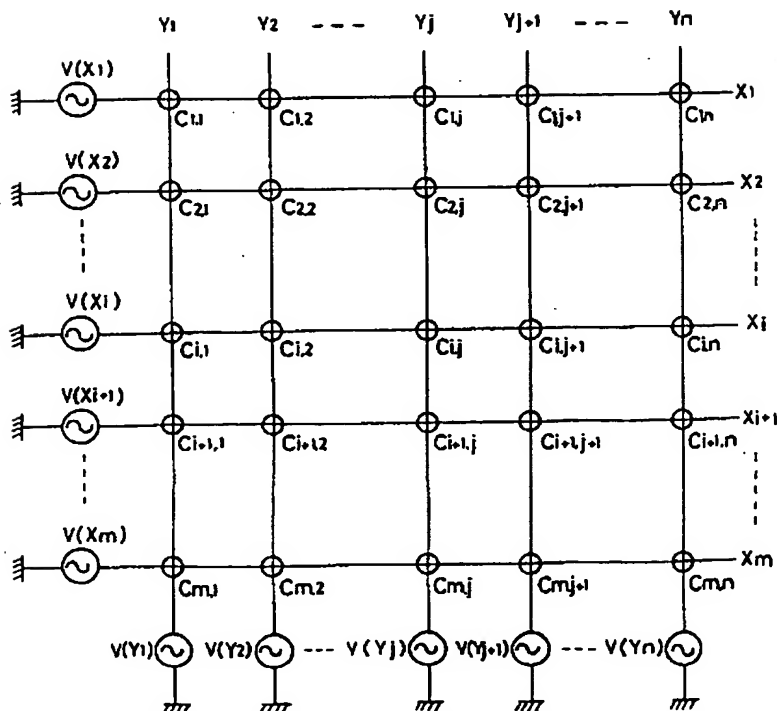
第1図はトランジスタマトリクスアレイの構成を示す図、第2図および第3図は画素回路の構成例を示す図、第4図および第5図は従来のトランジスタマトリクスアレイを用いた液晶表示装置の断面図、第6図(a)、(b)は本発明におけるトランジスタマトリクスアレイの要部構成を示す平面図とそのA-A'断面図、第7図(a)、(b)は本発明による一実施例の液晶表示装置を示す投影平面図とそのB-B'断面図である。

61…絶縁性基板、62(621、622、…)…接地導体膜、63…絶縁膜、64(641、642、…)…アドレスライン、71…ガラス基板、72(711、721、…)…接地導体膜、73…SiO<sub>2</sub>膜、74(741、742、…)…アドレスライン、76…SiO<sub>2</sub>膜、77(771、772、…)…表示電極、78(781、782、…)…アモルファスSi膜、79(791、792、…)…ソース電極兼データライン、80(801、802、…)…ドレイン電極、81…SiO<sub>2</sub>膜、

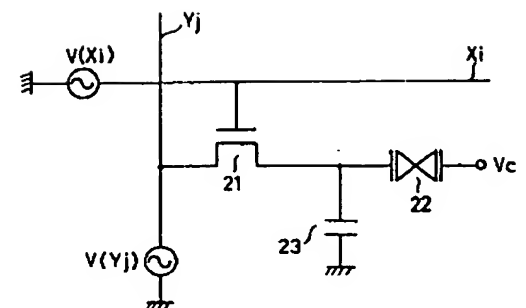
82…透明電極、83…ガラス基板、84…液晶。

出願人代理人 弁理士 鈴 江 武 彦

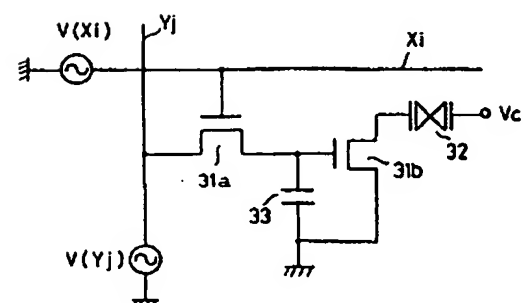
第 1 図



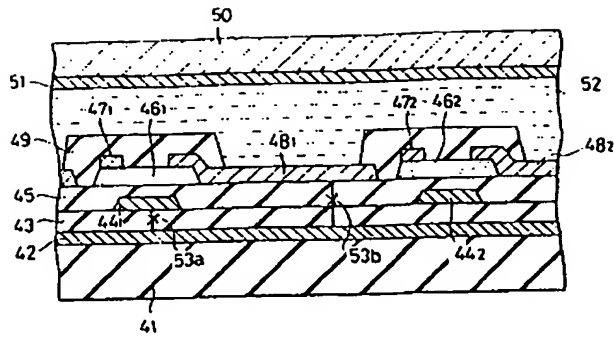
第 2 図



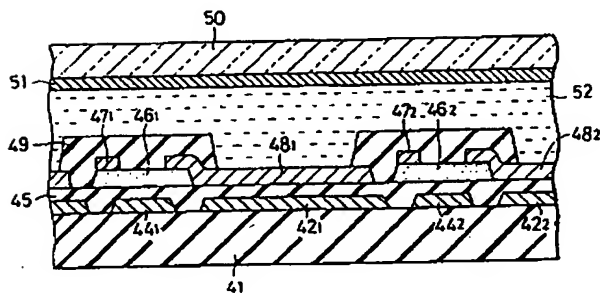
第 3 図



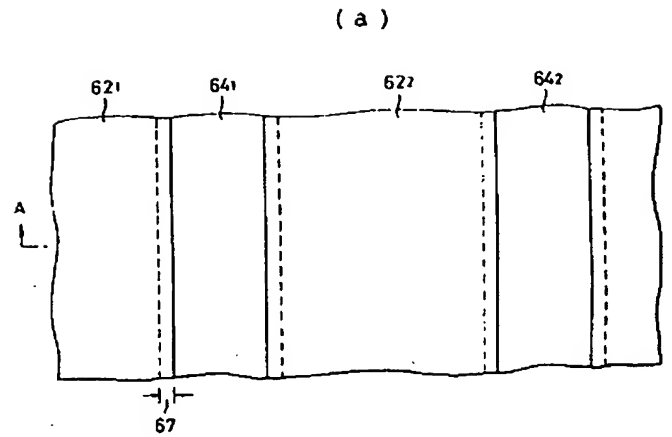
第 4 図



第 5 図



第 6 図



第 7 図

